

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057245

(43)Date of publication of application : 22.02.2002

(51)Int.Cl.

H01L 23/12

(21)Application number : 2000-245630

(71)Applicant : HITACHI LTD

HITACHI YONEZAWA ELECTRONICS CO LTD

(22)Date of filing : 14.08.2000

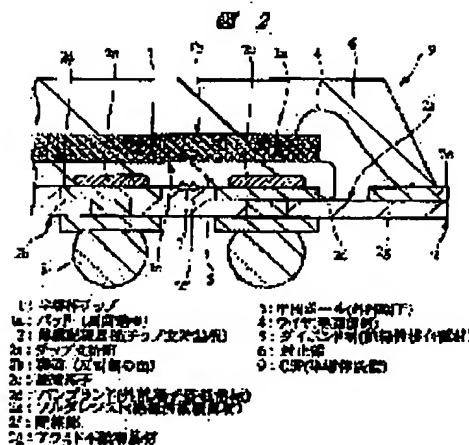
(72)Inventor : TAIRA TATSUYUKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability of a semiconductor device by preventing the disconnections of the wiring portions of its chip-supporting board.

SOLUTION: The semiconductor device comprises a thin-film wiring board 2, where connection terminals 2c and bump lands 2d connected with the connection terminals 2c via wiring portions 2f are provided and which is made of an aramid nonwoven base material 2g, having a thermal expansion coefficient smaller than that of each wiring portion 2f; each solder resist 2e disposed in a covering way on each bump land 2d and having a disposal area of not larger than that of each bump land 2d; a die-bonding material 5 for bonding a semiconductor chip 1 to the thin-film wiring board 2; each wire 4 for connecting each pad 1a of the semiconductor chip 1 with respective connection terminal 2c of the thin-film wiring board 2; a sealing portion 6 for sealing the semiconductor chip 1 with a resin; and a plurality of solder balls 3 of external terminals. In the semiconductor device, since the wiring portions 2f of the thin-film wiring board 2 are covered with the die-bonding material 5, the wiring portions 2f are not affected by the thermal expansions of the solder resists 2e and preventable the disconnections of the wiring portions 2f can be prevented.



LEGAL STATUS

[Date of request for examination]

01.10.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2002-057245

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The external terminal loading electrode connected with the connection terminal which is the semiconductor device of a resin seal form and is connected to the surface electrode of a semiconductor chip through the wiring section at this is prepared. The chip support substrate which is equipped with the chip back face which supports said semiconductor chip, and consists of a base material of a coefficient of thermal expansion smaller than said wiring section, The insulating covering member which covered said external terminal loading electrode and has been arranged in said external terminal loading electrode of said chip support substrate, and the arrangement area below equivalent, The insulating sexual conjugation member which is arranged between said semiconductor chip and said chip support substrate, and joins both, The flow member which connects said connection terminal of said chip support substrate corresponding to said surface electrode and this of said semiconductor chip, It is prepared in the closure section formed by carrying out the resin seal of said semiconductor chip, said chip back face of said chip support substrate, and the field of the opposite side. The semiconductor device characterized by having two or more external terminals linked to said external terminal loading electrode, and covering said wiring section of said chip support substrate with said insulating sexual conjugation member.

[Claim 2] The external terminal loading electrode connected with the connection terminal which is the semiconductor device of a resin seal form and is connected to the surface electrode of a semiconductor chip through the wiring section at this is prepared. The thin film wiring substrate which is a chip support substrate which is equipped

with the chip back face which supports said semiconductor chip, and consists of an aramid nonwoven fabric base material of a coefficient of thermal expansion smaller than said wiring section, The insulating covering member which covered said external terminal loading electrode and has been arranged in said external terminal loading electrode of said thin film wiring substrate, and the arrangement area below equivalent, The insulating sexual conjugation member which is arranged between said semiconductor chip and said chip support substrate, and joins both, The flow member which connects said connection terminal of said thin film wiring substrate corresponding to said surface electrode and this of said semiconductor chip, It is prepared in the closure section formed by carrying out the resin seal of said semiconductor chip, said chip back face of said thin film wiring substrate, and the field of the opposite side. The semiconductor device characterized by having two or more external terminals linked to said external terminal loading electrode, and covering said wiring section of said thin film wiring substrate with said insulating sexual conjugation member.

[Claim 3] The external terminal loading electrode connected with the connection terminal which is the semiconductor device of a resin seal form and is connected to the surface electrode of a semiconductor chip through the wiring section at this is prepared. The chip support substrate which is equipped with the chip back face which supports said semiconductor chip, and consists of a base material of a coefficient of thermal expansion smaller than said wiring section, The insulating sexual conjugation member which covers said external terminal loading electrode in said external terminal loading electrode of said chip support substrate, and the arrangement area below equivalent, and joins said semiconductor chip and said chip support substrate, The flow member which connects said connection terminal of said chip support substrate corresponding to said surface electrode and this of said semiconductor chip, The closure section equipped with the chip principal plane side closure section formed by carrying out the resin seal of said semiconductor chip, and the chip rear-face side closure section, The semiconductor device characterized by being prepared in said chip back face of said chip support substrate, and the field of the opposite side, having two or more external terminals linked to said external terminal loading electrode, and covering said wiring section of said chip support substrate with said chip rear-face side closure section.

[Claim 4] The external terminal loading electrode which is the manufacture approach of the semiconductor device of a resin seal form, and is connected with a connection terminal connectable with the surface electrode of a semiconductor chip through the wiring section at this is prepared. The process which said external terminal loading

electrode prepares the chip support substrate with which it was covered with the insulating covering member of this and the arrangement area below equivalent while consisting of a base material of a coefficient of thermal expansion smaller than said wiring section, The process which covers said wiring section of said chip support substrate by the insulating sexual conjugation member, and joins said semiconductor chip and the chip back face of said chip support substrate by said insulating sexual conjugation member, The process which connects the surface electrode of said semiconductor chip, and said connection terminal of said chip support substrate corresponding to this by the flow member, The manufacture approach of the semiconductor device characterized by having the process which carries out the resin seal of said semiconductor chip and said flow member, and forms the closure section, and the process which connects with said external terminal loading electrode, and prepares an external terminal in said chip back face of said chip support substrate, and the field of the opposite side.

[Claim 5] The external terminal loading electrode which is the manufacture approach of the semiconductor device of a resin seal form, and is connected with a connection terminal connectable with the surface electrode of a semiconductor chip through the wiring section at this is prepared. The process with two or more thin film wiring substrates said whose external terminal loading electrodes are the chip support substrates with which it was covered with the insulating covering member of this and the arrangement area below equivalent while consisting of an aramid nonwoven fabric base material of a coefficient of thermal expansion smaller than said wiring section for which many picking substrates are prepared, The process which covers said wiring section of said thin film wiring substrate by the insulating sexual conjugation member, and joins said semiconductor chip and the chip back face of said thin film wiring substrate by said insulating sexual conjugation member, The process which connects the surface electrode of said semiconductor chip, and said connection terminal of said thin film wiring substrate corresponding to this by the flow member, The process which carries out the resin seal of said semiconductor chip and said flow member, and forms the closure section, The manufacture approach of the semiconductor device characterized by having the process which connects with said external terminal loading electrode, and prepares an external terminal in said chip back face of said thin film wiring substrate, and the field of the opposite side, and said process which separates a majority of said each thin film wiring substrates from a picking substrate.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] About a semi-conductor manufacturing technology, especially this invention is applied to the improvement in dependability (temperature cycle nature) of the semiconductor device using a thin film wiring substrate, and relates to an effective technique.

[0002]

[Description of the Prior Art] the technique explained below -- this invention -- research -- it faces completing, this invention person inquires, and the outline is as follows.

[0003] It is CSP (Chip Size Package or ChipScale Package) as an example of structure which attains its miniaturization and thin form-ization in the semiconductor device which has the semiconductor chip with which the semiconductor integrated circuit was formed. It is known.

[0004] Said CSP has many semiconductor chips, EQCs, or small and the things which are a thing of a thin form, therefore carry a semiconductor chip using the tape-like thin film wiring substrate as a wiring substrate (chip support substrate) of slightly larger extent than it.

[0005] Although the thing of a polyimide base material is used as a thin film wiring substrate in many cases in that case, a polyimide base material will have a large coefficient of thermal expansion, and the difference of a coefficient of thermal expansion with the mounting substrate which mounts CSP will become large, consequently the connection dependability of the solder connection of the solder ball which is the external terminal of CSP will fall.

[0006] As a solution of this problem, CSP using the thin film wiring substrate of an aramid nonwoven fabric base material with a coefficient of thermal expansion smaller than polyimide is developed, and the connection dependability of the solder ball of CSP is raised by this.

[0007] In addition, various CSP is indicated by issue, "a monthly Semiconductor World 1998 special-number number, and '99 semi-conductor assembly and an inspection technique", and 36-57 pages on incorporated company press journal July 27, 1998, for example.

[0008]

[Problem(s) to be Solved by the Invention] however, in CSP using the thin film wiring substrate which consists of an aramid nonwoven fabric base material of the above

mentioned technique In the thin film wiring substrate, solder resist (insulating covering member) is beforehand formed in the upper layer (front face) of the wiring section which consists of copper (Cu) as an insulator layer. The relation of the coefficient of thermal expansion of solder resist, the wiring section, and an aramid nonwoven fabric base material For example, are a solder-resist > wiring section (Cu=18x10⁻⁶/degree C) > aramid nonwoven fabric base material etc., and it compares with the difference of the coefficient of thermal expansion of the wiring section and an aramid nonwoven fabric base material. Since it is far large, when heat stress requires the difference of the coefficient of thermal expansion of solder resist and the wiring section for a thin film wiring substrate by a heat cycle test etc., it is easy to produce distortion in the wiring section.

[0009] Consequently, an open circuit may take place in the wiring section, and this open circuit poses a problem.

[0010] The purpose of this invention is to offer the semiconductor device which prevents an open circuit of the wiring section in a chip support substrate, and aims at improvement in dependability, and its manufacture approach.

[0011] Furthermore, the purpose of others of this invention is to offer the semiconductor device which reduces the curvature of a chip support substrate, and its manufacture approach.

[0012] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0014] Namely, the external terminal loading electrode connected with the connection terminal by which the semiconductor device of this invention is connected to the surface electrode of a semiconductor chip through the wiring section at this is prepared. The chip support substrate which is equipped with the chip back face which supports said semiconductor chip, and consists of a base material of a coefficient of thermal expansion smaller than said wiring section, The insulating covering member which covered said external terminal loading electrode and has been arranged in said external terminal loading electrode of said chip support substrate, and the arrangement area below equivalent, The insulating sexual conjugation member which is arranged between said semiconductor chip and said chip support substrate, and joins both, The flow member which connects said connection terminal of said chip support substrate corresponding to said surface electrode and this of said semiconductor chip,

It is prepared in the closure section formed by carrying out the resin seal of said semiconductor chip, said chip back face of said chip support substrate, and the field of the opposite side. It has two or more external terminals linked to said external terminal loading electrode, and said wiring section of said chip support substrate is covered with said insulating sexual conjugation member.

[0015] Furthermore, the external terminal loading electrode connected with the connection terminal by which the semiconductor device of this invention is connected to the surface electrode of a semiconductor chip through the wiring section at this is prepared. The thin film wiring substrate which is a chip support substrate which is equipped with the chip back face which supports said semiconductor chip, and consists of an aramid nonwoven fabric base material of a coefficient of thermal expansion smaller than said wiring section, The insulating covering member which covered said external terminal loading electrode and has been arranged in said external terminal loading electrode of said thin film wiring substrate, and the arrangement area below equivalent, The insulating sexual conjugation member which is arranged between said semiconductor chip and said chip support substrate, and joins both, The flow member which connects said connection terminal of said thin film wiring substrate corresponding to said surface electrode and this of said semiconductor chip, It is prepared in the closure section formed by carrying out the resin seal of said semiconductor chip, said chip back face of said thin film wiring substrate, and the field of the opposite side. It has two or more external terminals linked to said external terminal loading electrode, and said wiring section of said thin film wiring substrate is covered with said insulating sexual conjugation member.

[0016] According to this invention, it is covered with an insulating sexual conjugation member, without covering the wiring section of a chip support substrate with an insulating covering member, and heat telescopic motion of an insulating covering member with a big coefficient of thermal expansion does not influence the wiring section in a heat cycle test etc. by this, consequently an open circuit of the wiring section can be prevented.

[0017] Therefore, dependability, such as the temperature cycle nature of a semiconductor device, can be improved.

[0018] Moreover, the external terminal loading electrode connected with the connection terminal which can connect the manufacture approach of the semiconductor device of this invention to the surface electrode of a semiconductor chip through the wiring section at this is prepared. The process which said external terminal loading electrode prepares the chip support substrate with which it was covered with the insulating

covering member of this and the arrangement area below equivalent while consisting of a base material of a coefficient of thermal expansion smaller than said wiring section, The process which covers said wiring section of said chip support substrate by the insulating sexual conjugation member, and joins said semiconductor chip and the chip back face of said chip support substrate by said insulating sexual conjugation member, The process which connects the surface electrode of said semiconductor chip, and said connection terminal of said chip support substrate corresponding to this by the flow member, It has the process which carries out the resin seal of said semiconductor chip and said flow member, and forms the closure section, and the process which connects with said external terminal loading electrode, and prepares an external terminal in said chip back face of said chip support substrate, and the field of the opposite side.

[0019]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing. In addition, in the complete diagram for explaining the gestalt of operation, the same sign is given to the member which has the same function, and explanation of the repeat is omitted.

[0020] The sectional view showing an example of the structure of CSP where drawing 1 is the semiconductor device of the gestalt of operation of this invention, The partial expanded sectional view which drawing 2 expands the structure of the A section of CSP shown in drawing 1 , and is shown, The top view showing the structure of the thin film wiring substrate in CSP which shows drawing 3 to drawing 1 , The expansion part plan showing the structure of the bump land (external terminal loading electrode) in the thin film wiring substrate which shows drawing 4 to drawing 3 , and the wiring section, The manufacture process-flow Fig. showing an example of the assembly procedure in the manufacture approach of CSP which shows drawing 5 in drawing 1 , The top view which is used for the assembly of CSP which shows drawing 6 to drawing 1 and in which showing many examples of the structure of a picking substrate, Drawing 7 is the sectional view showing an example of the assembly condition of the semiconductor device for every process of a manufacture process-flow Fig. shown in drawing 5 . (a) wirebonding and (c) for die bonding and (b) A resin seal, (d) piece cutting of an individual, and (f) for ball mounting and (e) CSP completion, The structure comparison Fig. showing an example of each test condition at the time of drawing 8 carrying out the heat cycle test of CSP of this invention and the examples A and B of a comparison which are shown in drawing 1 , and drawing 9 are comparison Figs. as a result of showing the test result at the time of the test condition shown in drawing 8 performing a heat cycle test.

[0021] The semiconductor devices of the gestalt of this operation shown in drawing 1 and drawing 2 are small (chip size) and CSP9 of a resin seal form using the thin film wiring substrate 2 as a chip support substrate in a thin form.

[0022] Furthermore, it is the thing of the one side mold type with which the resin seal of the semiconductor chip 1 was carried out to the chip back-face 2a side of the thin film wiring substrate 2 by mold, and two or more solder balls 3 are attached in the field (it is henceforth called rear-face 2b) of chip back-face 2a of the thin film wiring substrate 2, and the opposite side by matrix arrangement as an external terminal, and CSP9 calls the semiconductor device of such structure an area array type semiconductor device.

[0023] If the structure of CSP9 of the gestalt of this operation is explained using drawing 1 - drawing 4, bump land (external terminal loading electrode) 2d connected to connection terminal 2c connected to pad (surface electrode) 1a of a semiconductor chip 1 and this through 2f of wiring sections will be prepared. And while having chip back-face 2a which supports a semiconductor chip 1 The thin film wiring substrate 2 which consists of 2g of aramid nonwoven fabric base materials of a coefficient of thermal expansion smaller than 2f of wiring sections, Solder-resist (insulating covering member) 2e which covered bump land 2d and has been arranged in bump land 2d of the thin film wiring substrate 2, and the arrangement area below equivalent, The die bond material 5 which is arranged between a semiconductor chip 1 and the thin film wiring substrate 2, and joins both (insulating sexual conjugation member), The wire 4 for bondings which is the flow member which connects pad 1a of a semiconductor chip 1, and connection terminal 2c of the thin film wiring substrate 2 corresponding to this, It consists of two or more solder balls 3 which it is prepared in the closure section 6 formed by carrying out the resin seal of the semiconductor chip 1 of mold, and rear-face 2b of the thin film wiring substrate 2, and are connected to bump land 2d, and 2f of wiring sections of the thin film wiring substrate 2 is covered with the die bond material 5.

[0024] That is, CSP9 of the gestalt of this operation is arranged so that solder-resist 2e may cover this only on bump land 2d in the thin film wiring substrate 2, as shown in drawing 2, therefore 2f of wiring sections of the thin film wiring substrate 2 is covered not with solder-resist 2e but with the die bond material 5.

[0025] In addition, although solder-resist 2e aims at the insulation with bump land 2d and a semiconductor chip 1, and it is almost the same as the area of this on bump land 2d or is arranged in an area somewhat smaller than bump land 2d As the gestalt of this operation shows to drawing 2 and drawing 4, it is the case where it is arranged on

these bump land 2d in an area smaller than bump land 2d. In case CSP9 is assembled using the thin film wiring substrate 2, the thin film wiring substrate 2 with which solder-resist 2e has been beforehand arranged on bump land 2d is prepared, and the assembly of CSP9 is performed.

[0026] Therefore, in the thin film wiring substrate 2 of CSP9, solder-resist 2e of a solid layer is not formed, but on bump land 2d, is isolated and is arranged at the chip back-face 2a, respectively.

[0027] Here, two or more connection terminal 2c is formed as the object for connection or the electrode for plating with the wire 4 which shows the thin film wiring substrate 2 to the periphery section of the chip back-face 2a at drawing 2 as it is shown in drawing 3 R> 3, while the base material is formed by 2g of aramid nonwoven fabric base materials.

[0028] Moreover, two or more circular bump land 2d connected to the inside field of two or more connection terminal 2c arranged at the periphery section of chip back-face 2a through this connection terminal 2c and 2f of wiring sections is arranged in the shape of a matrix.

[0029] Furthermore, as shown in drawing 4, 2h of wiring taper sections which made said boundary section the gently-sloping taper configuration is formed in the boundary section (2f of wiring sections, and bump land 2d) so that an open circuit of 2f of wiring sections by the stress concentration to this boundary section may be prevented (this configuration is also called teardrop configuration), and this is raising the reinforcement of said boundary section.

[0030] In addition, it is formed with copper (Cu) 2f of wiring sections of the thin film wiring substrate 2, and bump land 2d, golden (Au)-nickel (nickel) plating is covered by the front face, and the coefficient of thermal expansion which is 2f of wiring sections is about $18 \times 10^{-6} / \text{degree C}$.

[0031] Moreover, the base material of the thin film wiring substrate 2 is 2g of aramid nonwoven fabric base materials, and is formed using a base material with a small coefficient of thermal expansion from 2f of wiring sections.

[0032] Furthermore, solder-resist 2e arranged on bump land 2d of the thin film wiring substrate 2 is an insulating cladding material.

[0033] Moreover, the die bond material 5 which fixes a semiconductor chip 1 to the thin film wiring substrate 2 is an insulating jointing material for corrugated fibreboard, for example, its paste material for adhesion of an epoxy system etc. is desirable. This of the modulus of elasticity of paste material is far small as compared with solder-resist 2e, can make small the stability over the elongation force 7 shown in drawing 2 at the

time of the die bond material 5 which is paste material deforming plastically at the time of the temperature (elevated-temperature and low temperature) cycle trial of CSP9, and, thereby, can make small stress grant to 2f of wiring sections by telescopic motion of the die bond material 5.

[0034] In addition, the mold resin (it is also called mold resin) which forms the closure section 6 is thermosetting resin of for example, an epoxy system.

[0035] Moreover, the semiconductor chip 1 is formed with silicon.

[0036] Furthermore, the wire 4 for bondings is a gold streak.

[0037] Next, the manufacture approach of the semiconductor device (CSP9) by the gestalt of this operation is explained.

[0038] In addition, the manufacture approach of said semiconductor device is the manufacture approach of CSP9 shown in drawing 1, and the gestalt of this operation explains it according to the manufacture process-flow Fig. which shows the case which had two or more thin film wiring substrates 2 by matrix arrangement (here, it arranges two train) where much CSP9 is manufactured using the picking substrate 8 to drawing 5.

[0039] First, the many picking substrate 8 shown in drawing 6 R> 6 with two or more thin film wiring substrates (chip support substrate) 2 with which chip back-face 2a which can support a semiconductor chip 1 was formed by step S1 shown in drawing 5 is prepared.

[0040] That is, while bump land 2d connected to connection terminal 2c connectable with pad 1a of a semiconductor chip 1 and this through 2f of wiring sections is prepared and consisting of 2g of aramid nonwoven fabric base materials of a coefficient of thermal expansion smaller than 2f of wiring sections, the many picking substrate 8 with [two or more] the thin film wiring substrate 2 with which bump land 2d was covered with solder-resist 2e of this and the arrangement area below equivalent is prepared.

[0041] Here, as shown in drawing 2, the many picking substrate 8 which has two or more thin film wiring substrates 2 with which wrap solder-resist 2e was formed in each bump land 2d in an area smaller than this in bump land 2d is prepared.

[0042] In addition, two or more thin film wiring substrates [a majority of] 2 equivalent to one CSP field are formed in the picking substrate 8 by matrix arrangement, and it is possible for this to assemble two or more CSP9 to coincidence.

[0043] Furthermore, much these tooling-holes 8a used for the picking substrate 8 at the time of mold or cutting etc. and plating section 8b for raising the mold-release characteristic after mold are prepared.

[0044] On the other hand, after preparing two or more semiconductor chips 1 with which the desired semiconductor integrated circuit was formed in principal plane 1b, semiconductor chip supply shown in step S2 is performed, then die bonding shown in step S3 which joins chip back-face 2a of a semiconductor chip 1 and each thin film wiring substrate [in / in large numbers / the picking substrate 8] 2, respectively is performed.

[0045] In that case, with a wrap, rear-face 1c of a semiconductor chip 1 and chip back-face 2a of the thin film wiring substrate 2 are joined by the die bond material 5, such as an insulating binder of an epoxy system, with the die bond material 5 which is an insulating sexual conjugation member in 2f of wiring sections of the thin film wiring substrate 2 as shown in drawing 2 , and is also paste material, as shown in drawing 7 (a).

[0046] Thereby, a majority of each semiconductor chips 1 are fixed on each thin film wiring substrate 2 of the picking substrate 8.

[0047] Then, pad 1a of each semiconductor chip 1 and connection terminal 2c formed in each thin film wiring substrate 2 corresponding to this are connected by wirebonding using the wire 4 (flow member) for bondings, as shown in drawing 7 (b) (step S4).

[0048] Furthermore, the closure section 6 which performs the resin seal by resin mold, closes a semiconductor chip 1 and a wire 4, and is shown in drawing 7 (c) is formed after wirebonding (step S5).

[0049] In addition, in the gestalt of this operation, transfermold performs a resin seal, for example using the thermosetting mold resin of an epoxy system etc.

[0050] Then, rear-face 2b (field of chip back-face 2a and the opposite side) of the thin film wiring substrate 2 is turned up, solder ball supply is performed there, further, a solder ball imprint is performed and ball mounting shown in drawing 7 (d) which fixes the solder ball 3 (external terminal) to bump land 2d which is the external terminal loading electrode of each thin film wiring substrate 2 is performed (step S6).

[0051] Then, piece cutting of an individual as shown in drawing 7 (e) which cuts in the cutting part of each CSP field in the thin film wiring substrate 2 shown in drawing 6 , and separates a majority of each thin film wiring substrates 2 from the picking substrate 8 is performed (step S7).

[0052] Thereby, it considers as the CSP completion (step S8) shown in drawing 7 (f).

[0053] According to the semiconductor device (CSP9) and its manufacture approach of a gestalt of this operation, the following operation effectiveness is acquired.

[0054] That is, solder-resist 2e which is an insulating covering member is covered with the die bond material 5 which is an insulating sexual conjugation member in bump

land 2d of the thin film wiring substrate 2, and the arrangement area below equivalent, without covering 2f of wiring sections of the thin film wiring substrate 2 with solder-resist 2e by this in bump land 2d for a wrap reason.

[0055] Therefore, when a heat cycle test etc. is performed, heat telescopic motion of solder-resist 2e with a big coefficient of thermal expansion does not influence 2f of wiring sections of the thin film wiring substrate 2, consequently an open circuit of 2f of wiring sections can be prevented.

[0056] That is, in the case of paste material, such as an epoxy system binder, since the elastic modulus of said paste material is small, the die bond material 5 which is said insulating sexual conjugation member deforms the paste material itself plastically by thermal expansion by a heat cycle test etc. Therefore, the stability which is going to return to the condition of the origin which receives the elongation force 7 shown in drawing 2 of said paste material is small, consequently 2f of wiring sections of the thin film wiring substrate 2 covered with said paste material (die bond material 5) is not influenced so much of said paste material.

[0057] Thereby, an open circuit of 2f of wiring sections of the thin film wiring substrate 2 can be prevented, consequently dependability, such as the temperature cycle nature of CSP9, can be improved.

[0058] Here, the result of the heat cycle test shown in drawing 8 and drawing 9 is explained.

[0059] In addition, drawing 8 shows the test condition of a heat cycle test, and drawing 9 shows the test result further.

[0060] first, in drawing 8, <the example A of a comparison> removes the arrangement field of connection terminal 2c in chip back-face 2a of the thin film wiring substrate 2 -- solder-resist 2e is mostly covered in the whole region, and all of two or more bump land 2d are covered with solder-resist 2e of a solid layer. furthermore, the <example B of a comparison> -- bump land 2d -- each is covered with solder-resist 2e which has the arrangement area beyond bump land 2d separately. moreover, <the gestalt of this operation> -- bump land 2d -- each is covered with solder-resist 2e which has bump land 2d and the arrangement area below equivalent separately.

[0061] As a result of performing a heat cycle test using these three structures, as it is shown in drawing 8 and drawing 9, although 500 cycle is success, in <the example A of a comparison>, 700 and 1000 cycle serve as a rejection (it is open-circuit generating in the part which is distant from bump land 2d as shown in drawing 8). Moreover, in <the example B of a comparison>, it is also 500,700 cycle with the rejection (as shown in drawing 8, it is open-circuit generating in the part near bump land 2d). on the other

hand -- <the gestalt of this operation> -- 500, 700, 1000, 1500, and 2000 -- and it is all success 2500 cycle.

[0062] In addition, in drawing 9, to one condition, about ten - dozens of semiconductor devices were examined, and the case where x and all pass the case where at least one rejection by open circuit occurs is written as O.

[0063] Therefore, the <gestalt of this operation> of drawing 9 shows that all passed in said 500, 700, 1000, 1500, 2000, and 2500 cycles, and can prevent certainly an open circuit of 2f of wiring sections of the thin film wiring substrate 2 in a heat cycle test by covering by the die bond material 5, without covering 2f of wiring sections of the thin film wiring substrate 2 by solder-resist 2e.

[0064] Moreover, since it is lost that the whole chip back-face 2a of the thin film wiring substrate 2 is covered with solder-resist 2e with a big coefficient of thermal expansion when solder-resist 2e covers this bump land 2d in bump land 2d and the arrangement area below equivalent, the solid layer of solder-resist 2e which is easy to carry out heat telescopic motion is no longer formed in chip back-face 2a of the thin film wiring substrate 2.

[0065] Consequently, the curvature of the thin film wiring substrate 2 can be reduced.

[0066] Thereby, generating of conveyance system faults, such as the end of the many picking substrate 8 to an according [in / in large numbers / the conveyance system of the picking substrate 8] to curvature of thin film wiring substrate 2 conveyance roller with two or more thin film wiring substrates 2 and a wide swing of a substrate pusher, can be reduced by the production process of a semiconductor device.

[0067] Consequently, the manufacturability (assembly nature) of CSP9 using the picking substrate 8 in large numbers which has the thin film wiring substrate 2 can be improved.

[0068] Moreover, in the thin film wiring substrate 2, since solder-resist 2e is arranged only on bump land 2d, it can reduce a solder-resist formation field and, thereby, can reduce the cost of the thin film wiring substrate 2.

[0069] Consequently, cost reduction of CSP9 can be planned.

[0070] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of implementation of said invention, and does not deviate from the summary.

[0071] For example, with the gestalt of said operation, by arranging solder-resist 2e only on bump land 2d, although the die bond material 5 explained the case of wrap

structure, 2f of wiring sections of the thin film wiring substrate 2 It is good also as structure which applies the die bond material 5 on bump land 2d, and serves as bump land 2d, an insulation of a semiconductor chip 1, and a semiconductor chip 1 and junction of the thin film wiring substrate 2 by the die bond material 5 on bump land 2d like CSP9 of the modification shown in drawing 11 (c).

[0072] In that case, first, as shown in drawing 10 (a) and (b), the thin film wiring substrate 2 which nothing forms on bump land 2d is prepared, coverage and a spreading location which are not protruded on bump land 2d after this are controlled by potting to be shown in drawing 11 (a) and (b) to the thin film wiring substrate 2 of this condition, and the die bond material 5 which is paste material is applied.

[0073] The structure of CSP9 assembled using this thin film wiring substrate 2 is shown in drawing 11 (c). Since, as for this CSP9, the die bond material 5 is arranged only to that limited field (bump land 2d on) in rear-face 1c of a semiconductor chip 1, Therefore, mold resin enters into the rear-face 1c side of a semiconductor chip 1, consequently chip rear-face side closure section 6b which is a part of closure section 6 is formed in the rear-face 1c side of a semiconductor chip 1, and, on the other hand, chip principal plane side closure section 6a is formed in the principal plane 1b side of a semiconductor chip 1.

[0074] That is, the closure section 6 consists of chip principal plane side closure section 6a and chip rear-face side closure section 6b, and CSP9 shown in drawing 11 (c) serves as the structure where 2f of wiring sections of the thin film wiring substrate 2 was covered with chip rear-face side closure section 6b.

[0075] Solder-resist 2e in the conventional structure (for example, structure of the <example A of a comparison> of drawing 8) where 2f of wiring sections is covered with solder-resist 2e by this, and the difference of a 2f [of wiring sections] coefficient of thermal expansion, With the mold resin which forms chip rear-face side closure section 6b in CSP9 shown in drawing 11 (c), and the difference of a 2f [of wiring sections] coefficient of thermal expansion The difference of a said sections [mold resin and 2f of wiring sections] coefficient of thermal expansion is far smaller, therefore it can improve chip rear-face side closure section 6b and 2f [of wiring sections] adhesion.

[0076] Consequently, in CSP9 shown in drawing 11 (c), the stress concerning 2f of wiring sections can be reduced, and, thereby, an open circuit of 2f of wiring sections can be prevented like CSP9 of the gestalt of said operation.

[0077] Moreover, although the configuration of the sections [in the thin film wiring substrate 2 / bump land 2d and 2f of wiring sections] boundary section explained the case of the teardrop configuration in which 2h of wiring taper sections was formed,

with the gestalt of said operation, it is not necessary to consider as a teardrop configuration like 2f of wiring sections of the modification of drawing 12 .

[0078] Then, 2f of wiring sections which 2f of wiring sections shown in drawing 12 (a) is the structure which connected bump land 2d and 2f of wiring sections as it was, without forming 2h of said wiring taper sections, and are shown in drawing 12 (b) makes **** the configuration of the bump land 2d and 2f [of wiring sections] boundary section, and they form wiring reinforcement section 2i.

[0079] Even if it is a semiconductor device using the wiring configuration shown in drawing 12 (a) and (b), to an open circuit of 2f of wiring sections, the almost same operation effectiveness as the gestalt of said operation can be acquired.

[0080] Moreover, although a chip support substrate is the thin film wiring substrate 2 and explained the case of the substrate formed from 2g of aramid nonwoven fabric base materials with the gestalt of said operation, as long as said chip support substrate is formed using a base material with a coefficient of thermal expansion smaller than 2f of wiring sections, it may be a substrate which is not limited to the substrate of a thin film but consists of a glass epoxy resin etc.

[0081] Furthermore, although the gestalt of said operation explained the case of one sheet where a majority of two or more thin film wiring substrates 2 were formed in the picking substrate 8 by matrix arrangement, arrangement of two or more thin film wiring substrates 2 may be the thing of the multiple string by which two or more thin film wiring substrates 2 have been arranged not only at matrix arrangement but at one train.

[0082] Moreover, with the gestalt of said operation, although the case of one sheet where a majority of two or more semiconductor devices (CSP9) were manufactured from the picking substrate 8 was explained, it is not necessary to necessarily use the picking substrate 8, it may prepare the thin film wiring substrate 2 by which cutting separation was carried out beforehand for one CSP, and may manufacture much CSP9 using this thin film wiring substrate 2.

[0083] Furthermore, although the gestalt of said operation explained the case where a semiconductor device was CSP9 Said semiconductor device is assembled using the chip support substrate which consists of a base material with a coefficient of thermal expansion smaller than 2f of wiring sections. Furthermore, if 2f of wiring sections is the thing of the structure which is not covered with solder-resist 2e with a far big coefficient of thermal expansion (insulating covering member) from this You may be other semiconductor devices, such as BGA (Ball Grid Array) and LGA (Land Grid Array).

[0084]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0085] (1) For a wrap reason, . insulation covering member is covered with an insulating sexual conjugation member in an external terminal loading electrode in the external terminal loading electrode of a chip support substrate, and the arrangement area below equivalent, without covering the wiring section of a chip support substrate with an insulating covering member. Therefore, in a heat cycle test etc., heat telescopic motion of an insulating covering member with a big coefficient of thermal expansion does not influence the wiring section, consequently an open circuit of the wiring section of a chip support substrate can be prevented. Thereby, dependability, such as the temperature cycle nature of a semiconductor device, can be improved.

[0086] (2) When . insulation covering member covers this external terminal loading electrode in an external terminal loading electrode and the arrangement area below equivalent, it is lost that the whole chip back face of a chip support substrate is covered with an insulating covering member with a big coefficient of thermal expansion. Consequently, when a chip support substrate is a thin film wiring substrate, the curvature of a thin film wiring substrate can be reduced. Thereby, generating of the conveyance system fault according [in / in large numbers / the conveyance system of a picking substrate] to the curvature of a thin film wiring substrate by the production process of a semiconductor device can be reduced. Consequently, the manufacturability of the semiconductor device using a thin film wiring substrate can be improved.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing an example of the structure of CSP which is the semiconductor device of the gestalt of operation of this invention.

[Drawing 2] It is the partial expanded sectional view expanding and showing the structure of the A section of CSP shown in drawing 1.

[Drawing 3] It is the top view showing the structure of the thin film wiring substrate in CSP shown in drawing 1.

[Drawing 4] It is the expansion part plan showing the structure of the bump land (external terminal loading electrode) in the thin film wiring substrate shown in drawing 3, and the wiring section.

[Drawing 5] It is the manufacture process-flow Fig. showing an example of the

assembly procedure in the manufacture approach of CSP shown in drawing 1.

[Drawing 6] It is the top view which is used for the assembly of CSP shown in drawing 1 and in which showing many examples of the structure of a picking substrate.

[Drawing 7] (a), (b), (c), (d), (e), and (f) are the sectional views showing an example of the assembly condition of the semiconductor device for every process of a manufacture process-flow Fig. shown in drawing 5, and, for wirebonding and (c), a resin seal and (d) are [(a) / die bonding and (b) / piece cutting of an individual and (f of ball mounting and (e))] CSP completion.

[Drawing 8] It is the structure comparison Fig. showing an example of each test condition at the time of carrying out the heat cycle test of CSP of this invention and the examples A and B of a comparison which are shown in drawing 1.

[Drawing 9] It is a comparison Fig. as a result of showing the test result at the time of the test condition shown in drawing 8 performing a heat cycle test.

[Drawing 10] (a) and (b) are drawings showing the structure before insulating sexual conjugation member spreading of the thin film wiring substrate of a modification to the thin film wiring substrate of CSP shown in drawing 1, and are an expansion part plan in which (a) shows a top view and (b) shows the bump land and the wiring section of a thin film wiring substrate of (a).

[Drawing 11] (a), (b), and (c) are drawings showing the structure after insulating sexual conjugation member spreading of the thin film wiring substrate of the modification shown in drawing 10, and the expansion part plan in which (a) shows a top view and (b) shows the bump land and the wiring section of a thin film wiring substrate of (a), and (c) are the partial expanded sectional views of CSP which used the thin film wiring substrate of (a).

[Drawing 12] (a) and (b) are the expansion part plans showing the structure of the wiring section of the thin film wiring substrate of a modification to the thin film wiring substrate of CSP shown in drawing 1, respectively.
 [Description of Notations]

1 Semiconductor Chip

1a Pad (surface electrode)

1b Principal plane

1c Rear face

2 Thin Film Wiring Substrate (Chip Support Substrate)

2a Chip back face

2b Rear face (field of the opposite side)

2c Connection terminal

2d Bump land (external terminal loading electrode)

2e Solder resist (insulating covering member)
2f Wiring section
2g Aramid nonwoven fabric base material
2h Wiring taper section
2i Wiring reinforcement section
3 Solder Ball (External Terminal)
4 Wire (Flow Member)
5 Die Bond Material (Insulating Sexual Conjugation Member)
6 Closure Section
6a Chip principal plane side closure section
6b Chip rear-face side closure section
7 Elongation Force
8 It is Picking Substrate in Large Numbers.
8a Tooling holes
8b Plating section
9 CSP (Semiconductor Device)

Abstract:

PROBLEM TO BE SOLVED: To improve reliability of a semiconductor device by preventing the disconnections of the wiring portions of its chip-supporting board.

SOLUTION: The semiconductor device comprises a thin-film wiring board 2, where connection terminals 2c and bump lands 2d connected with the connection terminals 2c via wiring portions 2f are provided and which is made of an aramid nonwoven base material 2g, having a thermal expansion coefficient smaller than that of each wiring portion 2f; each solder resist 2e disposed in a covering way on each bump land 2d and having a disposal area of not larger than that of each bump land 2d; a die-bonding material 5 for bonding a semiconductor chip 1 to the thin-film wiring board 2; each wire 4 for connecting each pad 1a of the semiconductor chip 1 with respective connection terminal 2c of the thin-film wiring board 2; a sealing portion 6 for sealing the semiconductor chip 1 with a resin; and a plurality of solder balls 3 of external terminals. In the semiconductor device, since the wiring portions 2f of the thin-film wiring board 2 are covered with the die-bonding material 5, the wiring portions 2f are not affected by the thermal expansions of the solder resists 2e and preventable the disconnections of the wiring portions 2f can be prevented.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-57245

(P2002-57245A)

(43)公開日 平成14年2月22日(2002.2.22)

(51)Int.Cl.
H01L 23/12識別記号
501FI
H01L 23/12

ターミナル(参考)

501W

Q

N

審査請求 未請求 請求項の数5 O L (全 11 頁)

(21)出願番号 特願2000-245630(P2000-245630)

(22)出願日 平成12年8月14日(2000.8.14)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233583

日立米沢電子株式会社

山形県米沢市大字花沢字八木橋東3の3274

(72)発明者 平 龍幸

山形県米沢市大字花沢字八木橋東3の3274

日立米沢電子株式会社内

(74)代理人 100080001

弁理士 筒井 大和

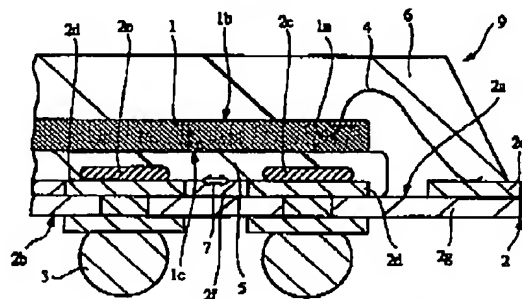
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 チップ支持基板における配線部の断線を防止して半導体装置の信頼性の向上を図る。

【解決手段】 接続端子2cとこれに配線部2fを介して接続されるバンプランド2dとが設けられ、かつ配線部2fより小さい熱膨張係数のアラミド不織布基材2gからなる薄膜配線基板2と、バンプランド2dと同等以下の配置面積でバンプランド2dを覆って配置されたソルダレジスト2eと、半導体チップ1と薄膜配線基板2とを接合するダイボンド材5と、半導体チップ1のパッド1aと薄膜配線基板2の接続端子2cとを接続するワイヤ4と、半導体チップ1を樹脂封止する封止部6と、外部端子である複数の半田ボール3とからなり、薄膜配線基板2の配線部2fがダイボンド材5によって覆われているため、配線部2fがソルダレジスト2eの熱伸縮の影響を受けず、配線部2fの断線を防止できる。

図 2



- | | |
|----------------------|--------------------|
| 1: 半導体チップ | 3: 半田ボール(外部端子) |
| 1a: パッド(表面電極) | 4: ワイヤ(導電材料) |
| 2: 薄膜配線基板(チップ支持基板) | 5: ダイボンド材(絶縁性接合材料) |
| 2a: チップ支持面 | 6: 封止部 |
| 2b: 裏面(反対側の面) | 9: CSP(半導体装置) |
| 2c: 接続端子 | |
| 2d: バンプランド(外部端子接続電極) | |
| 2e: ソルダレジスト(配線保護膜部材) | |
| 2f: 配線部 | |
| 2g: アラミド不織布基材 | |

(2)

特開2002-057245

1

【特許請求の範囲】

【請求項1】 樹脂封止形の半導体装置であって、半導体チップの表面電極に接続される接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記半導体チップを支持するチップ支持面を備え、前記配線部より小さい熱膨張係数の基材からなるチップ支持基板と、

前記チップ支持基板の前記外部端子搭載電極と同等以下の配置面積で前記外部端子搭載電極を覆って配置された絶縁性被覆部材と、

前記半導体チップと前記チップ支持基板との間に配置されて両者を接合する絶縁性接合部材と、

前記半導体チップの前記表面電極とこれに対応する前記チップ支持基板の前記接続端子とを接続する導通部材と、

前記半導体チップを樹脂封止して形成された封止部と、前記チップ支持基板の前記チップ支持面と反対側の面に設けられ、前記外部端子搭載電極に接続する複数の外部端子とを有し、

前記チップ支持基板の前記配線部が前記絶縁性接合部材によって覆われていることを特徴とする半導体装置。

【請求項2】 樹脂封止形の半導体装置であって、半導体チップの表面電極に接続される接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記半導体チップを支持するチップ支持面を備え、前記配線部より小さい熱膨張係数のアラミド不織布基材からなるチップ支持基板である薄膜配線基板と、前記薄膜配線基板の前記外部端子搭載電極と同等以下の配置面積で前記外部端子搭載電極を覆って配置された絶縁性被覆部材と、

前記半導体チップと前記チップ支持基板との間に配置されて両者を接合する絶縁性接合部材と、

前記半導体チップの前記表面電極とこれに対応する前記薄膜配線基板の前記接続端子とを接続する導通部材と、

前記半導体チップを樹脂封止して形成された封止部と、前記薄膜配線基板の前記チップ支持面と反対側の面に設けられ、前記外部端子搭載電極に接続する複数の外部端子とを有し、

前記薄膜配線基板の前記配線部が前記絶縁性接合部材によって覆われていることを特徴とする半導体装置。

【請求項3】 樹脂封止形の半導体装置であって、半導体チップの表面電極に接続される接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記半導体チップを支持するチップ支持面を備え、前記配線部より小さい熱膨張係数の基材からなるチップ支持基板と、

前記チップ支持基板の前記外部端子搭載電極と同等以下の配置面積で前記外部端子搭載電極を覆い、前記半導体チップと前記チップ支持基板とを接合する絶縁性接合部材と、

2

前記半導体チップの前記表面電極とこれに対応する前記チップ支持基板の前記接続端子とを接続する導通部材と、

前記半導体チップを樹脂封止して形成されたチップ主面側封止部およびチップ裏面側封止部を備えた封止部と、前記チップ支持基板の前記チップ支持面と反対側の面に設けられ、前記外部端子搭載電極に接続する複数の外部端子とを有し、

前記チップ支持基板の前記配線部が前記チップ裏面側封止部によって覆われていることを特徴とする半導体装置。

【請求項4】 樹脂封止形の半導体装置の製造方法であって、

半導体チップの表面電極に接続可能な接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記配線部より小さい熱膨張係数の基材からなるとともに前記外部端子搭載電極がこれと同等以下の配置面積の絶縁性被覆部材によって覆われたチップ支持基板を準備する工程と、

前記チップ支持基板の前記配線部を絶縁性接合部材によって覆って前記半導体チップと前記チップ支持基板のチップ支持面とを前記絶縁性接合部材によって接合する工程と、

前記半導体チップの表面電極とこれに対応する前記チップ支持基板の前記接続端子とを導通部材によって接続する工程と、

前記半導体チップおよび前記導通部材を樹脂封止して封止部を形成する工程と、

前記チップ支持基板の前記チップ支持面と反対側の面に、前記外部端子搭載電極と接続して外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 樹脂封止形の半導体装置の製造方法であって、

半導体チップの表面電極に接続可能な接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記配線部より小さい熱膨張係数のアラミド不織布基材からなるとともに前記外部端子搭載電極がこれと同等以下の配置面積の絶縁性被覆部材によって覆われたチップ支持基板である複数の薄膜配線基板を有した多数個取り基板を準備する工程と、

前記薄膜配線基板の前記配線部を絶縁性接合部材によって覆って前記半導体チップと前記薄膜配線基板のチップ支持面とを前記絶縁性接合部材によって接合する工程と、

前記半導体チップの表面電極とこれに対応する前記薄膜配線基板の前記接続端子とを導通部材によって接続する工程と、

前記半導体チップおよび前記導通部材を樹脂封止して封止部を形成する工程と、

(3)

特開2002-057245

3

前記薄膜配線基板の前記チップ支持面と反対側の面に、前記外部端子搭載電極と接続して外部端子を設ける工程と、

前記多数個取り基板からそれぞれの前記薄膜配線基板を分離する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に薄膜配線基板を用いた半導体装置の信頼性（温度サイクル性）向上に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】半導体集積回路が形成された半導体チップを有する半導体装置において、その小形化・薄形化を図る構造の一例としてCSP（Chip Size Package または ChipScale Package）が知られている。

【0004】前記CSPは、半導体チップと同等もしくはそれより僅かに大きい程度の小形かつ薄形のものであり、したがって、半導体チップを搭載する配線基板（チップ支持基板）として、テープ状の薄膜配線基板を用いたものが多い。

【0005】その際、薄膜配線基板として、ポリイミド基材のものを用いる場合が多いが、ポリイミド基材は、熱膨張係数が大きく、CSPを実装する実装基板との熱膨張係数の差が大きくなり、その結果、CSPの外部端子である半田ボールの半田接続部の接続信頼性が低下してしまう。

【0006】この問題の解決策として、熱膨張係数がポリイミドより小さいアラミド不織布基材の薄膜配線基板を用いたCSPが開発されており、これによって、CSPの半田ボールの接続信頼性を向上させている。

【0007】なお、種々のCSPについては、例えば、株式会社プレスジャーナル1998年7月27日発行、「月刊Semiconductor World 1998年増刊号、「99半導体組立・検査技術」、36～57頁に記載されている。

【0008】

【発明が解決しようとする課題】ところが、前記した技術のアラミド不織布基材からなる薄膜配線基板を用いたCSPでは、その薄膜配線基板において、銅（Cu）からなる配線部の上層（表面）に予め絶縁膜としてソルダレジスト（絶縁性被覆部材）が形成されており、ソルダレジストと配線部とアラミド不織布基材の熱膨張係数の関係が、例えば、ソルダレジスト＞配線部（Cu＝ 18×10^{-6} /℃）＞アラミド不織布基材などであり、配線部とアラミド不織布基材との熱膨張係数の差に比較し

4

て、ソルダレジストと配線部との熱膨張係数の差が過かに大きいため、温度サイクル試験などで薄膜配線基板に熱ストレスが掛かった際に、配線部に歪みが生じ易い。

【0009】その結果、配線部で断線が起こることがあり、この断線が問題となる。

【0010】本発明の目的は、チップ支持基板における配線部の断線を防止して信頼性の向上を図る半導体装置およびその製造方法を提供することにある。

【0011】さらに、本発明のその他の目的は、チップ支持基板の反りを低減する半導体装置およびその製造方法を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】すなわち、本発明の半導体装置は、半導体チップの表面電極に接続される接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記半導体チップを支持するチップ支持面を備え、前記配線部より小さい熱膨張係数の基材からなるチップ支持基板と、前記チップ支持基板の前記外部端子搭載電極と同等以下の配置面積で前記外部端子搭載電極を覆って配置された絶縁性被覆部材と、前記半導体チップと前記チップ支持基板との間に配置されて両者を接合する絶縁性接合部材と、前記半導体チップの前記表面電極とこれに対応する前記チップ支持基板の前記接続端子とを接続する導通部材と、前記半導体チップを樹脂封止して形成された封止部と、前記チップ支持基板の前記チップ支持面と反対側の面に設けられ、前記外部端子搭載電極に接続する複数の外部端子とを有し、前記チップ支持基板の前記配線部が前記絶縁性接合部材によって覆われているものである。

【0015】さらに、本発明の半導体装置は、半導体チップの表面電極に接続される接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記半導体チップを支持するチップ支持面を備え、前記配線部より小さい熱膨張係数のアラミド不織布基材からなるチップ支持基板である薄膜配線基板と、前記薄膜配線基板の前記外部端子搭載電極と同等以下の配置面積で前記外部端子搭載電極を覆って配置された絶縁性被覆部材と、前記半導体チップと前記チップ支持基板との間に配置されて両者を接合する絶縁性接合部材と、前記半導体チップの前記表面電極とこれに対応する前記薄膜配線基板の前記接続端子とを接続する導通部材と、前記半導体チップを樹脂封止して形成された封止部と、前記薄膜配線基板の前記チップ支持面と反対側の面に設けられ、前記外部端子搭載電極に接続する複数の外部端子とを有

(4)

特開2002-057245

5

し、前記薄膜配線基板の前記配線部が前記絶縁性接合部材によって覆われているものである。

【0016】本発明によれば、チップ支持基板の配線部が絶縁性被覆部材によって覆われることなく絶縁性接合部材によって覆われ、これにより、温度サイクル試験などにおいて、熱膨張係数の大きな絶縁性被覆部材の熱伸縮が配線部に影響せず、その結果、配線部の断線を防止することができる。

【0017】したがって、半導体装置の温度サイクル性などの信頼性を向上できる。

【0018】また、本発明の半導体装置の製造方法は、半導体チップの表面電極に接続可能な接続端子とこれに配線部を介して接続される外部端子搭載電極とが設けられ、前記配線部より小さい熱膨張係数の基材からなるとともに前記外部端子搭載電極がこれと同等以下の配置面積の絶縁性被覆部材によって覆われたチップ支持基板を準備する工程と、前記チップ支持基板の前記配線部を絶縁性接合部材によって覆って前記半導体チップと前記チップ支持基板のチップ支持面とを前記絶縁性接合部材によって接合する工程と、前記半導体チップの表面電極とこれに対応する前記チップ支持基板の前記接続端子とを導通部材によって接続する工程と、前記半導体チップおよび前記導通部材を樹脂封止して封止部を形成する工程と、前記チップ支持基板の前記チップ支持面と反対側の面に、前記外部端子搭載電極と接続して外部端子を設ける工程とを有するものである。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0020】図1は本発明の実施の形態の半導体装置であるCSPの構造の一例を示す断面図、図2は図1に示すCSPのA部の構造を拡大して示す部分拡大断面図、図3は図1に示すCSPにおける薄膜配線基板の構造を示す平面図、図4は図3に示す薄膜配線基板におけるバンブラント（外部端子搭載電極）と配線部の構造を示す拡大断面図、図5は図1に示すCSPの製造方法における組み立て手順の一例を示す製造プロセスフロー図、図6は図1に示すCSPの組み立てに用いられる多数個取り基板の構造の一例を示す平面図、図7は図5に示す製造プロセスフロー図の各工程ごとの半導体装置の組み立て状態の一例を示す断面図であり、(a)はダイボンディング、(b)はワイヤボンディング、(c)は樹脂封止、(d)はボールマウント、(e)は個片切断、(f)はCSP完成、図8は図1に示す本発明のCSPおよび比較例A、Bを温度サイクル試験した際のそれぞれの試験条件の一例を示す構造比較図、図9は図8に示す試験条件によって温度サイクル試験を行った際の試験結果を示す結果比較図である。

6

【0021】図1、図2に示す本実施の形態の半導体装置は、小形（チップサイズ）かつ薄形で、チップ支持基板として薄膜配線基板2を用いた樹脂封止形のCSP9である。

【0022】さらに、CSP9は、薄膜配線基板2のチップ支持面2a側において半導体チップ1がモールドによって樹脂封止された片面モールドタイプのものであり、また、薄膜配線基板2のチップ支持面2aと反対側の面（以降、裏面2bという）には、外部端子として複数の半田ボール3がマトリクス配置で取り付けられており、このような構造の半導体装置をエリアレイタイプの半導体装置と呼ぶ。

【0023】図1～図4を用いて本実施の形態のCSP9の構造を説明すると、半導体チップ1のパッド（表面電極）1aに接続される接続端子2cとこれに配線部2fを介して接続されるバンブラント（外部端子搭載電極）2dとが設けられ、かつ半導体チップ1を支持するチップ支持面2aを備えるとともに、配線部2fより小さい熱膨張係数のアラミド不織布基材2gからなる薄膜配線基板2と、薄膜配線基板2のバンブラント2dと同等以下の配置面積でバンブラント2dを覆って配置されたソルダレジスト（絶縁性被覆部材）2eと、半導体チップ1と薄膜配線基板2との間に配置されて両者を接合するダイボンド材（絶縁性接合部材）5と、半導体チップ1のパッド1aとこれに対応する薄膜配線基板2の接続端子2cとを接続する導通部材であるボンディング用のワイヤ4と、モールドによって半導体チップ1を樹脂封止して形成された封止部6と、薄膜配線基板2の裏面2bに設けられ、かつバンブラント2dに接続する複数の半田ボール3とからなり、薄膜配線基板2の配線部2fがダイボンド材5によって覆われているものである。

【0024】すなわち、本実施の形態のCSP9は、その薄膜配線基板2においてソルダレジスト2eが、図2に示すように、バンブラント2d上のみにこれを覆うように配置されたものであり、したがって、薄膜配線基板2の配線部2fがソルダレジスト2eではなく、ダイボンド材5によって覆われている。

【0025】なお、ソルダレジスト2eは、バンブラント2dと半導体チップ1との絶縁を図るものであり、バンブラント2d上においてこの面積とほぼ同じかもしくはバンブラント2dより少し小さい面積で配置されるものであるが、本実施の形態では、図2および図4に示すように、バンブラント2dより小さい面積でこのバンブラント2d上に配置されている場合であり、薄膜配線基板2を用いてCSP9を組み立てる際に、予めバンブラント2d上にソルダレジスト2eが配置された薄膜配線基板2を準備してCSP9の組み立てを行ったものである。

【0026】したがって、CSP9の薄膜配線基板2では、そのチップ支持面2aに、ベタ層のソルダレジスト

(5)

特開2002-057245

7

2 eは形成されておらず、それぞれバンブランド2 d上に孤立して配置されている。

【0027】ここで、薄膜配線基板2は、その基材がアラミド不織布基材2 gによって形成されるとともに、図3に示すように、そのチップ支持面2 aの周縁部には、図2に示すワイヤ4との接続用もしくはメッキ用電極として複数の接続端子2 cが形成されている。

【0028】また、チップ支持面2 aの周縁部に配置された複数の接続端子2 cの内側領域にはこの接続端子2 cと配線部2 fを介して接続された複数の円形のバンブランド2 dがマトリクス状に配置されている。

【0029】さらに、図4に示すように、配線部2 fとバンブランド2 dとの境界部には、この境界部への応力集中による配線部2 fの断線を防ぐように前記境界部をなだらかなテーパー形状とした配線テーパー部2 hが形成されており（この形状をティアドロップ形状ともいう）、これによって、前記境界部の強度を高めている。

【0030】なお、薄膜配線基板2の配線部2 fやバンブランド2 dは、例えば、銅（Cu）によって形成され、その表面には、金（Au）-ニッケル（Ni）メッキが被覆されており、配線部2 fの熱膨張係数は、例えば、 $18 \times 10^{-4} / ^\circ\text{C}$ 程度である。

【0031】また、薄膜配線基板2の基材は、アラミド不織布基材2 gであり、配線部2 fより熱膨張係数が小さい基材を用いて形成されたものである。

【0032】さらに、薄膜配線基板2のバンブランド2 d上に配置されたソルダレジスト2 eは、絶縁性の被覆材である。

【0033】また、半導体チップ1を薄膜配線基板2に固定するダイボンド材5は、絶縁性の接合材であり、例えば、エポキシ系の接着用のペースト材などが好ましい。これは、ペースト材の弾性率は、ソルダレジスト2 eと比較して遙かに小さく、CSP9の温度（高温・低温）サイクル試験時に、ペースト材であるダイボンド材5が塑性変形した際の図2に示す伸び力7に対する復元力を小さくすることができ、これにより、ダイボンド材5の伸縮による配線部2 fへの応力付与を小さくできる。

【0034】なお、封止部6を形成するモールド樹脂（モールドレジンともいう）は、例えば、エポキシ系の熱硬化性樹脂である。

【0035】また、半導体チップ1は、例えば、シリコンによって形成されている。

【0036】さらに、ボンディング用のワイヤ4は、例えば、金線である。

【0037】次に、本実施の形態による半導体装置（CSP9）の製造方法について説明する。

【0038】なお、前記半導体装置の製造方法は、図1に示すCSP9の製造方法であり、本実施の形態では、複数の薄膜配線基板2をマトリクス配置（ここでは2列

8

配置）で有した多数個取り基板8を用いてCSP9を製造する場合を、図5に示す製造プロセスフロー図にしたがって説明する。

【0039】まず、図5に示すステップS1により、半導体チップ1を支持可能なチップ支持面2 aが形成された複数の薄膜配線基板（チップ支持基板）2を有した図6に示す多数個取り基板8を準備する。

【0040】すなわち、半導体チップ1のパッド1 aに接続可能な接続端子2 cとこれに配線部2 fを介して接続されるバンブランド2 dとが設けられ、かつ配線部2 fより小さい熱膨張係数のアラミド不織布基材2 gからなるとともにバンブランド2 dがこれと同等以下の配置面積のソルダレジスト2 eによって覆われた薄膜配線基板2を複数有した多数個取り基板8を準備する。

【0041】ここでは、図2に示すように、バンブランド2 dをこれより小さな面積で覆うソルダレジスト2 eがそれぞれのバンブランド2 dに形成された薄膜配線基板2を複数有する多数個取り基板8を準備する。

【0042】なお、多数個取り基板8には、1個のCSP領域に相当する薄膜配線基板2がマトリクス配置で複数個形成されており、これにより、複数のCSP9を同時に組み立てることが可能である。

【0043】さらに、この多数個取り基板8には、モールド時または切断時などに用いられる位置決め孔8 aや、モールド後の離型性を高めるためのメッキ部8 bが設けられている。

【0044】一方、所望の半導体集積回路が主面1 bに形成された複数の半導体チップ1を準備した後、ステップS2に示す半導体チップ供給を行い、続いて、半導体チップ1と、多数個取り基板8におけるそれぞれの薄膜配線基板2のチップ支持面2 aとをそれぞれ接合するステップS3に示すダイボンディングを行う。

【0045】その際、薄膜配線基板2の配線部2 fを、図2に示すように、絶縁性接合部材であり、かつペースト材でもあるダイボンド材5によって覆うとともに、半導体チップ1の裏面1 cと薄膜配線基板2のチップ支持面2 aとをエポキシ系の絶縁性接合材などのダイボンド材5によって図7（a）に示すように接合する。

【0046】これにより、それぞれの半導体チップ1が多数個取り基板8のそれぞれの薄膜配線基板2上に固定される。

【0047】その後、各半導体チップ1のパッド1 aとこれに対応する各々の薄膜配線基板2に形成された接続端子2 cとを、図7（b）に示すようにボンディング用のワイヤ4（導通部材）を用いたワイヤボンディングによって接続する（ステップS4）。

【0048】さらに、ワイヤボンディング後、樹脂モールドによる樹脂封止を行って半導体チップ1とワイヤ4とを封止して図7（c）に示す封止部6を形成する（ステップS5）。

(6)

特開2002-057245

9

【0049】なお、本実施の形態においては、例えば、エポキシ系の熱硬化性モールド樹脂などを用い、トランスファモールドによって樹脂封止を行う。

【0050】その後、薄膜配線基板2の裏面2b(チップ支持面2aと反対側の面)を上方に向け、そこに、半田ボール供給を行い、さらに、半田ボール転写を行って、それぞれの薄膜配線基板2の外部端子搭載電極であるバンブランド2dに半田ボール3(外部端子)を固定する図7(d)に示すボールマウントを行う(ステップS6)。

【0051】続いて、図6に示す薄膜配線基板2におけるそれぞれのCSP領域の切断箇所にて切断を行って多数個取り基板8からそれぞれの薄膜配線基板2を分離する図7(e)に示すような個片切断を行う(ステップS7)。

【0052】これにより、図7(f)に示すCSP完成(ステップS8)とする。

【0053】本実施の形態の半導体装置(CSP9)およびその製造方法によれば、以下のような作用効果が得られる。

【0054】すなわち、絶縁性被覆部材であるソルダレジスト2eが、薄膜配線基板2のバンブランド2dと同等以下の配置面積でバンブランド2dを覆うため、これにより、薄膜配線基板2の配線部2fがソルダレジスト2eによって覆われることなく絶縁性接合部材であるダイボンド材5によって覆われる。

【0055】したがって、温度サイクル試験などを行った際に、熱膨張係数の大きなソルダレジスト2eの熱膨縮が薄膜配線基板2の配線部2fに影響せず、その結果、配線部2fの断線を防止することができる。

【0056】つまり、前記絶縁性接合部材であるダイボンド材5がエポキシ系接着材などのペースト材の場合、前記ペースト材の弾性率は小さいため、温度サイクル試験などで熱膨張によってペースト材自身は塑性変形する。したがって、前記ペースト材の図2に示す伸び力7に対する元の状態に戻ろうとする復元力は小さく、その結果、前記ペースト材(ダイボンド材5)によって覆われている薄膜配線基板2の配線部2fは、前記ペースト材の影響をさほど受けない。

【0057】これにより、薄膜配線基板2の配線部2fの断線を防止でき、その結果、CSP9の温度サイクル性などの信頼性を向上できる。

【0058】ここで、図8と図9に示す温度サイクル試験の結果について説明する。

【0059】なお、図8は、温度サイクル試験の試験条件を、さらに、図9はその試験結果を示したものである。

【0060】まず、図8において、〈比較例A〉は、薄膜配線基板2のチップ支持面2aにおける接続端子2cの配置領域を除くほぼ全域にソルダレジスト2eを被覆

10

したものであり、複数のバンブランド2dが全てベタ層のソルダレジスト2eによって覆われている。さらに、〈比較例B〉は、バンブランド2dそれぞれを別々にバンブランド2d以上の配置面積を有するソルダレジスト2eによって被覆したものである。また、〈本実施の形態〉は、バンブランド2dそれぞれを別々にバンブランド2dと同等以下の配置面積を有するソルダレジスト2eによって被覆したものである。

【0061】この3つの構造を用いて温度サイクル試験を行った結果、図8、図9に示すように、〈比較例A〉では、500サイクルは合格であるが、700、1000サイクルは不合格となっている(図8に示すようにバンブランド2dから離れた箇所にて断線発生)。また、〈比較例B〉では、500、700サイクルとも不合格となっている(図8に示すようにバンブランド2dに近い箇所にて断線発生)。一方、〈本実施の形態〉は、500、700、1000、1500、2000および2500サイクル全て合格である。

【0062】なお、図9では、1つの条件に対して、十数個~数十個の半導体装置を試験し、1つでも断線による不合格が発生した場合を×、全てが合格した場合を○として表記している。

【0063】したがって、図9の〈本実施の形態〉は、前記500、700、1000、1500、2000および2500サイクルにおいて全てが合格したことを示しており、薄膜配線基板2の配線部2fをソルダレジスト2eによって覆わずにダイボンド材5によって覆うことにより、温度サイクル試験における薄膜配線基板2の配線部2fの断線を確実に防止できる。

【0064】また、ソルダレジスト2eが、バンブランド2dと同等以下の配置面積でこのバンブランド2dを覆うことにより、薄膜配線基板2のチップ支持面2a全体が熱膨張係数の大きなソルダレジスト2eによって覆われることが無くなるため、薄膜配線基板2のチップ支持面2aに熱膨縮し易いソルダレジスト2eのベタ層が形成されなくなる。

【0065】その結果、薄膜配線基板2の反りを低減できる。

【0066】これにより、半導体装置の製造工程で、複数の薄膜配線基板2を有した多数個取り基板8の搬送系において、薄膜配線基板2の反りによる搬送ローラへの多数個取り基板8の突き当たりや基板ブッシャーの空振りなどの搬送系不具合の発生を低減できる。

【0067】その結果、薄膜配線基板2を有する多数個取り基板8を用いたCSP9の製造性(組み立て性)を向上できる。

【0068】また、薄膜配線基板2において、ソルダレジスト2eはバンブランド2d上のみに配置されるため、ソルダレジスト形成領域を低減することができ、これにより、薄膜配線基板2のコストを低減することがで

(7)

特開2002-057245

11

きる。

【0069】その結果、CSP9のコスト低減を図ることができる。

【0070】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0071】例えば、前記実施の形態では、バンブラント2d上にのみソルダレジスト2eを配置して薄膜配線基板2の配線部2fをダイボンド材5によって覆う構造の場合を説明したが、図11(c)に示す変形例のCSP9のように、バンブラント2d上にダイボンド材5を塗布し、バンブラント2dと半導体チップ1の絶縁と、半導体チップ1と薄膜配線基板2の接合とをバンブラント2d上のダイボンド材5によって兼ねる構造としてもよい。

【0072】その際、まず、図10(a)、(b)に示すように、バンブラント2d上に何も形成していない薄膜配線基板2を準備し、この状態の薄膜配線基板2に対して、図11(a)、(b)に示すようにポッティングによって、バンブラント2d上にこれからはみ出さないような塗布量と塗布位置とを制御してペースト材であるダイボンド材5を塗布する。

【0073】この薄膜配線基板2を用いて組み立てたCSP9の構造を図11(c)に示す。このCSP9は、半導体チップ1の裏面1cにおいてダイボンド材5がその限られた領域(バンブラント2d上)にしか配置されないため、したがって、半導体チップ1の裏面1c側にはモールド樹脂が入り込み、その結果、半導体チップ1の裏面1c側に封止部6の一部であるチップ裏面側封止部6bが形成され、一方、半導体チップ1の主面1b側にはチップ主面側封止部6aが形成される。

【0074】すなわち、図11(c)に示すCSP9は、封止部6が、チップ主面側封止部6aとチップ裏面側封止部6bとからなり、薄膜配線基板2の配線部2fがチップ裏面側封止部6bによって覆われた構造となる。

【0075】これにより、配線部2fがソルダレジスト2eによって覆われる従来の構造(例えば、図8の<比較例A>の構造)におけるソルダレジスト2eと配線部2fとの熱膨張係数の差と、図11(c)に示すCSP9におけるチップ裏面側封止部6bを形成するモールド樹脂と配線部2fとの熱膨張係数の差とでは、前記モールド樹脂と配線部2fとの熱膨張係数の差の方が過かに小さく、したがって、チップ裏面側封止部6bと配線部2fとの密着性を向上できる。

【0076】その結果、図11(c)に示すCSP9では、配線部2fに掛かる応力を低減でき、これにより、前記実施の形態のCSP9と同様に、配線部2fの断線

12

を防止できる。

【0077】また、前記実施の形態では、薄膜配線基板2におけるバンブラント2dと配線部2fとの境界部の形状が、配線部2fを形成したティアドロップ形状の場合を説明したが、図12の変形例の配線部2fのように、ティアドロップ形状としなくてもよい。

【0078】そこで、図12(a)に示す配線部2fは、前記配線部2fを形成せずにバンブラント2dと配線部2fとをそのまま接続した構造であり、また、図12(b)に示す配線部2fは、バンブラント2dと配線部2fとの境界部の形状を幅太にして配線部2fを形成したものである。

【0079】図12(a)、(b)に示す配線形状を用いた半導体装置であっても、配線部2fの断線に対しては、前記実施の形態とほぼ同様の作用効果を得ることができる。

【0080】また、前記実施の形態では、チップ支持基板が、薄膜配線基板2であり、かつアラミド不織布基材2gから形成される基板の場合を説明したが、前記チップ支持基板は、配線部2fより熱膨張係数が小さい基材を用いて形成されたものであれば、薄膜の基板に限定されず、ガラスエポキシ樹脂などからなる基板であってもよい。

【0081】さらに、前記実施の形態では、1枚の多数個取り基板8に複数の薄膜配線基板2がマトリクス配置で設けられている場合を説明したが、複数の薄膜配線基板2の配置は、マトリクス配置に限らず1列に複数の薄膜配線基板2が配置された多連のものであってもよい。

【0082】また、前記実施の形態では、1枚の多数個取り基板8から複数の半導体装置(CSP9)を製造する場合について説明したが、多数個取り基板8は必ずしも使用しなくてもよく、予めCSP1個分に切断分離された薄膜配線基板2を準備して、この薄膜配線基板2を用いてCSP9を製造してもよい。

【0083】さらに、前記実施の形態では、半導体装置がCSP9の場合について説明したが、前記半導体装置は、配線部2fより熱膨張係数が小さい基材からなるチップ支持基板を用いて組み立てられ、さらに、配線部2fが、これより過かに熱膨張係数の大きなソルダレジスト2e(絶縁性被覆部材)によって覆われていない構造のものであれば、BGA(Ball Grid Array)やLGA(Land Grid Array)などの他の半導体装置であってもよい。

【0084】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0085】(1) 絶縁性被覆部材がチップ支持基板の外部端子搭載電極と同等以下の配置面積で外部端子搭載電極を覆うため、チップ支持基板の配線部が絶縁性被

(8)

特開2002-057245

13

覆部材によって覆われずに絶縁性接合部材によって覆われる。したがって、温度サイクル試験などにおいて、熱膨張係数の大きな絶縁性被覆部材の熱伸縮が配線部に影響せず、その結果、チップ支持基板の配線部の断線を防止することができる。これにより、半導体装置の温度サイクル性などの信頼性を向上できる。

【0086】(2)、絶縁性被覆部材が、外部端子搭載電極と同等以下の配置面積でこの外部端子搭載電極を覆うことにより、チップ支持基板のチップ支持面全体が熱膨張係数の大きな絶縁性被覆部材によって覆われることが無くなる。その結果、チップ支持基板が薄膜配線基板である場合に薄膜配線基板の反りを低減できる。これにより、半導体装置の製造工程での多数個取り基板の搬送系において、薄膜配線基板の反りによる搬送系不具合の発生を低減できる。その結果、薄膜配線基板を用いた半導体装置の製造性を向上できる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置であるCSPの構造の一例を示す断面図である。

【図2】図1に示すCSPのA部の構造を拡大して示す部分拡大断面図である。

【図3】図1に示すCSPにおける薄膜配線基板の構造を示す平面図である。

【図4】図3に示す薄膜配線基板におけるバンブランド(外部端子搭載電極)と配線部の構造を示す拡大部分平面図である。

【図5】図1に示すCSPの製造方法における組み立て手順の一例を示す製造プロセスフロー図である。

【図6】図1に示すCSPの組み立てに用いられる多数個取り基板の構造の一例を示す平面図である。

【図7】(a)、(b)、(c)、(d)、(e)、(f)は図5に示す製造プロセスフロー図の各工程ごとの半導体装置の組み立て状態の一例を示す断面図であり、(a)はダイボンディング、(b)はワイヤボンディング、(c)は樹脂封止、(d)はボールマウント、(e)は個片切断、(f)はCSP完成である。

【図8】図1に示す本発明のCSPおよび比較例A、Bを温度サイクル試験した際のそれぞれの試験条件の一例を示す構造比較図である。

【図9】図8に示す試験条件によって温度サイクル試験を行った際の試験結果を示す結果比較図である。

【図10】(a)、(b)は図1に示すCSPの薄膜配線基板に対する変形例の薄膜配線基板の絶縁性接合部材塗布前の構造を示す図であり、(a)は平面図、(b)は(a)の薄膜配線基板のバンブランドと配線部を示す拡大部分平面図である。

【図11】(a)、(b)、(c)は図10に示す変形例の薄膜配線基板の絶縁性接合部材塗布後の構造を示す図であり、(a)は平面図、(b)は(a)の薄膜配線基板のバンブランドと配線部を示す拡大部分平面図、(c)は(a)の薄膜配線基板を用いたCSPの部分拡大断面図である。

【図12】(a)、(b)はそれぞれ図1に示すCSPの薄膜配線基板に対する変形例の薄膜配線基板の配線部の構造を示す拡大部分平面図である。

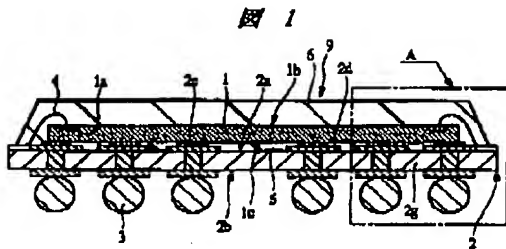
【符号の説明】

- 1 半導体チップ
- 1 a パッド(表面電極)
- 1 b 主面
- 1 c 裏面
- 2 薄膜配線基板(チップ支持基板)
- 2 a チップ支持面
- 2 b 裏面(反対側の面)
- 2 c 接続端子
- 2 d バンブランド(外部端子搭載電極)
- 2 e ソルダレジスト(絶縁性被覆部材)
- 2 f 配線部
- 2 g アラミド不織布基材
- 2 h 配線テーパ部
- 2 i 配線補強部
- 3 半田ボール(外部端子)
- 4 ワイヤ(導通部材)
- 5 ダイボンド材(絶縁性接合部材)
- 6 封止部
- 6 a チップ主面側封止部
- 6 b チップ裏面側封止部
- 7 伸び力
- 8 多数個取り基板
- 8 a 位置決め孔
- 8 b メッキ部
- 9 CSP(半導体装置)

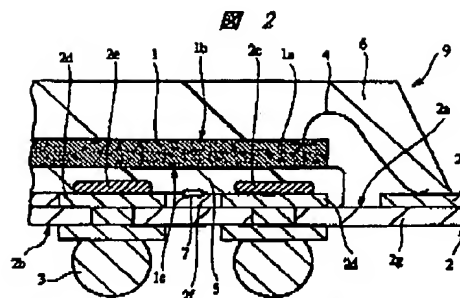
(9)

特開2002-057245

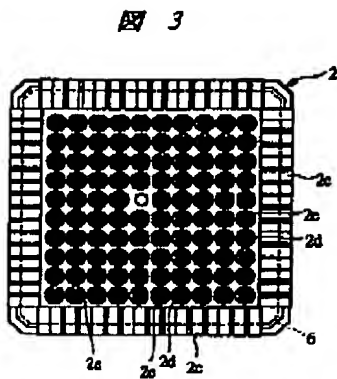
【図1】



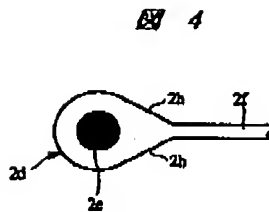
【図2】



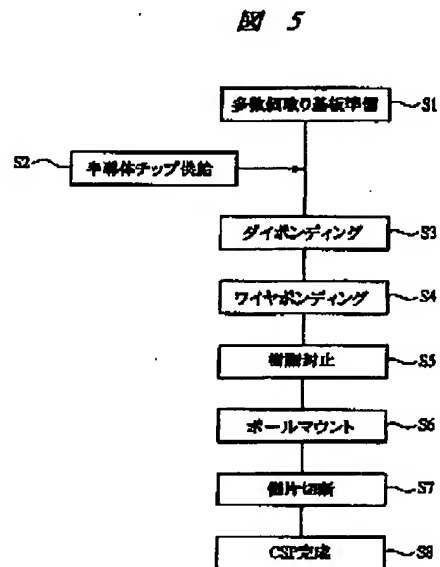
【図3】



【図4】

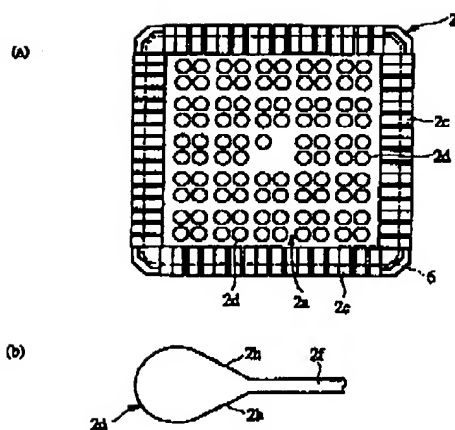


【図5】



【図10】

図 10

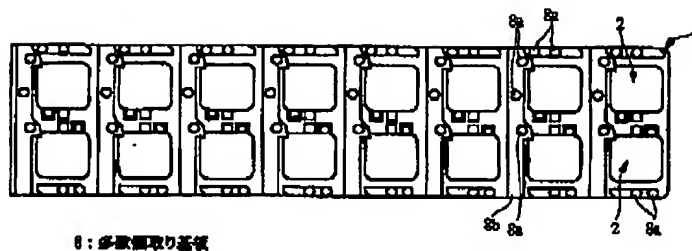


(10)

特開2002-057245

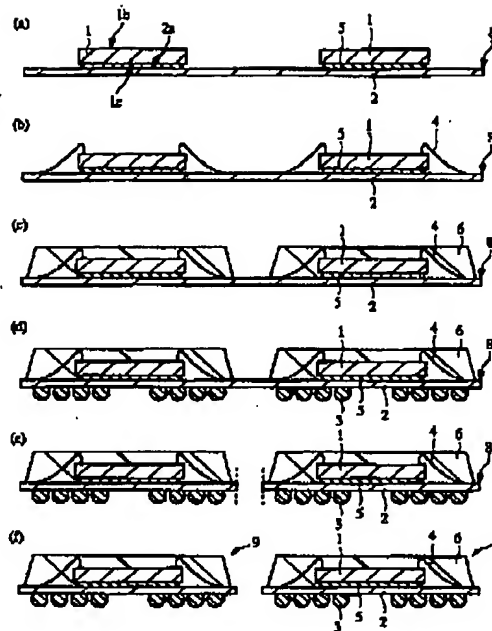
【図6】

図 6



【図7】

図 7



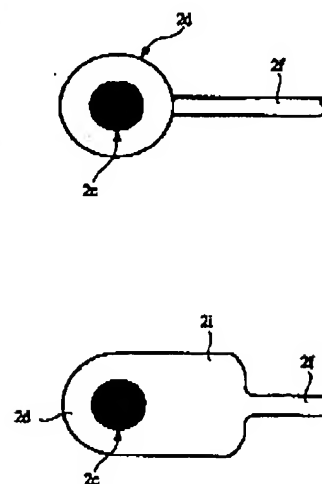
【図8】

図 8

仕様	(比較例A)	(比較例B)	(実施の形態 (本発明))
CSP内部構造			
パンプランドと ソルダレジスト の形状 (断面状況)			

【図12】

図 12



(11)

特開2002-057245

【図9】

図 9

仕様 サイクル数	(比較例A)	(比較例B)	(実施の形態(本発明))
500c	○	×	○
700c	×	×	○
1000c	×	—	○
1500c	—	—	○
2000c	—	—	○
2500c	—	—	○

【図11】

図 11

